

日 本 国 特 許 庁
JAPAN PATENT OFFICE

03.12.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 3 日
Date of Application:

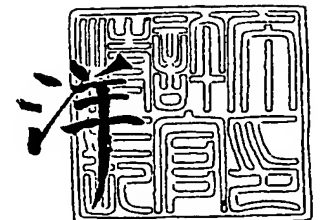
出 願 番 号 特 願 2 0 0 3 - 4 0 5 2 5 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 0 5 2 5 9]

出 願 人 関西電力株式会社
Applicant(s): 財団法人電力中央研究所

2 0 0 5 年 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 FKSD1120S
【提出日】 平成15年12月 3日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/70
【発明者】
 【住所又は居所】 大阪市北区中之島3丁目3番22号 関西電力株式会社内
 【氏名】 中山 浩二
【発明者】
 【住所又は居所】 大阪市北区中之島3丁目3番22号 関西電力株式会社内
 【氏名】 菅原 良孝
【発明者】
 【住所又は居所】 大阪市北区中之島3丁目3番22号 関西電力株式会社内
 【氏名】 浅野 勝則
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂2-6-1 財団法人電力中央研究所 横
 須賀研究所内
 【氏名】 土田 秀一
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂2-6-1 財団法人電力中央研究所 横
 須賀研究所内
 【氏名】 鎌田 功穂
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂2-6-1 財団法人電力中央研究所 横
 須賀研究所内
 【氏名】 三柳 俊之
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂2-6-1 財団法人電力中央研究所 横
 須賀研究所内
 【氏名】 中村 智宣
【特許出願人】
 【識別番号】 000156938
 【住所又は居所】 大阪市北区中之島3丁目3番22号
 【氏名又は名称】 関西電力株式会社
【特許出願人】
 【識別番号】 000173809
 【住所又は居所】 東京都千代田区大手町1丁目6番1号
 【氏名又は名称】 財団法人電力中央研究所
【代理人】
 【識別番号】 100062926
 【弁理士】
 【氏名又は名称】 東島 隆治
【選任した代理人】
 【識別番号】 100113479
 【弁理士】
 【氏名又は名称】 大平 覺
【手数料の表示】
 【予納台帳番号】 031691
 【納付金額】 21,000円

【提出物件の目録】

【物件名】

特許請求の範囲 1

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【書類名】特許請求の範囲

【請求項 1】

炭素（カーボン）と珪素の化合物である炭化珪素を基材とする第 1 の導電型の炭化珪素半導体の結晶の（000-1）カーボン面に対して所定のオフ角を有する面を形成した基板、及び

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第 1 又は第 2 の導電型の炭化珪素の半導体により、所定の形成速度で形成した少なくとも 1 つのドリフト層、

を有するバイポーラ半導体素子。

【請求項 2】

炭素（カーボン）と珪素の化合物である炭化珪素を基材とする第 1 の導電型の炭化珪素半導体の結晶の（000-1）カーボン面に対して所定のオフ角を有する面を形成した基板、

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第 1 の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、及び

前記ドリフト層の上に形成した、第 1 又は第 2 の導電型の炭化珪素の半導体の少なくとも 1 つの層

を有するバイポーラ半導体素子。

【請求項 3】

炭素（カーボン）と珪素の化合物である炭化珪素を基材とする第 1 の導電型の炭化珪素半導体の結晶の（000-1）カーボン面に対して所定のオフ角を有する面を形成した、カソードとなる基板、

前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第 1 の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、及び

前記ドリフト層の上に形成した、アノードとなる第 2 の導電型の炭化珪素の半導体層を有するバイポーラ半導体素子。

【請求項 4】

炭素（カーボン）と珪素の化合物である炭化珪素を基材とする第 1 の導電型の炭化珪素半導体の結晶の（000-1）カーボン面に対して所定のオフ角を有する面を形成した、コレクタとなる基板、

前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第 1 の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、

前記ドリフト層の上に形成した第 2 の導電型のベース層、及び

前記ベース層の一部分に形成した第 1 の導電型のエミッタ層

を有するバイポーラ半導体素子。

【請求項 5】

炭素（カーボン）と珪素の化合物である炭化珪素を基材とする第 1 の導電型の炭化珪素半導体の結晶の（000-1）カーボン面に対して所定のオフ角を有する面を形成した、コレクタとなる基板、

前記所定のオフ角を有する面を結晶の成長面として、前記成長面に炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成した第 2 の導電型のドリフト層、

前記ドリフト層の上に形成した第 1 の導電型の成長層、

前記第 1 の導電型の成長層の上に形成した第 2 の導電型のエミッタ層、

前記第 2 の導電型のエミッタ層に形成した貫通孔を経て、前記第 1 の導電型の成長層にイオン注入をして形成した、コンタクト領域、及び

前記第 1 の導電型の成長層と前記第 2 の導電型のエミッタ層に絶縁膜を介して形成したゲート電極

を有するバイポーラ半導体素子。

【請求項 6】

前記オフ角が2度以上10度以下であることを特徴とする請求項1から5のいずれかに記載のバイポーラ半導体素子。

【請求項 7】

前記ドリフト層となる炭化珪素のエピタキシャル成長による膜を、膜厚の時間h当たりの増加速度が $10\mu\text{m/h}$ 以上である成膜速度で形成したことを特徴とする請求項2から5のいずれかに記載のバイポーラ半導体素子。

【請求項 8】

前記基板と前記ドリフト層との間にバッファ層を有することを特徴とする請求項1から5のいずれかに記載のバイポーラ半導体素子。

【請求項 9】

炭素（カーボン）と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶を、前記結晶の(000-1)カーボン面に対して所定の角度を有する面で切断して基板を形成する工程、

前記基板の前記所定の角度を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度でドリフト層を形成する工程、及び

前記ドリフト層の上に、第1又は第2の導電型の炭化珪素の半導体の少なくとも1つの層を形成する工程、

を有するバイポーラ半導体素子の製造方法。

【請求項 10】

前記所定の角度が2度以上10度以下であることを特徴とする請求項9記載のバイポーラ半導体素子の製造方法。

【請求項 11】

前記ドリフト層の成膜工程における膜厚の時間h当たりの増加速度が $10\mu\text{m/h}$ 以上であることを特徴とする請求項9記載のバイポーラ半導体素子の製造方法。

【請求項 12】

前記基板と前記ドリフト層との間にバッファ層を形成する工程を更に有する請求項9記載のバイポーラ半導体素子の製造方法。

【書類名】明細書

【発明の名称】炭化珪素半導体素子およびその製造方法

【技術分野】

【0001】

本発明は、大電流を制御するのに適した炭化珪素バイポーラ半導体素子に関する。

【背景技術】

【0002】

炭化珪素(SiC)などのワイドギャップ半導体材料は、シリコン(Si)に比べて絶縁破壊電界強度が約10倍高い等の優れた特性を有しており、高い耐逆電圧特性を有する高耐圧バイポーラパワー半導体素子に好適な材料として注目されている。

pinダイオードやバイポーラトランジスタ、GTO、GCTなどのバイポーラ半導体素子は、ショットキーダイオードやMOSFETなどのユニポーラ半導体素子に比べてビルトイン電圧が高いが、少数キャリアの注入によるドリフト層の伝導度変調によりオン抵抗が大幅に小さくなる、という特徴がある。したがって、電力用途などの高電圧大電流領域では、損失を小さくするためバイポーラ半導体素子が用いられている。SiCでこれらのバイポーラ半導体素子を構成すると、Siの素子に比べて格段に優れた性能を実現できる。例えば、SiCで構成した10kVの高耐圧pinダイオード素子の場合、順方向電圧がSiのpinダイオードの約1/3であり、オフ時の速度に該当する逆回復時間が約1/20以下と高速である。また、電力損失をSiのpinダイオードの約1/5以下に低減でき省エネルギー化に大きく貢献できる。SiCのpinダイオード以外にもSiCのnpnトランジスタやSiCのSIAFET、SiCのSIJFETなどが開発され同様の電力損失低減効果が報告されている(例えば非特許文献1)。この他、ドリフト層として反対極性のp型半導体層を用いたSiCのGTOなども開発されている(例えば非特許文献2)。

【0003】

SiCの結晶の集合面の{0001}面には、図7のSiCの結晶の斜視図に示すように、個別面の(0001)シリコン面1と(000-1)カーボン面2が存在する。かつこ内の「-」は負号である。これを極性という。(0001)シリコン面1は結晶がシリコン(Si)で終端された面である。(000-1)カーボン面2は結晶がカーボン(C)で終端された面である。n型のドーパントである窒素(N)は、主にカーボン(C)を置換する形でSiCの結晶中に取り込まれる。シリコンで終端されている(0001)シリコン面1は、カーボンで終端されている(000-1)カーボン面2と比較して、表面に現れているカーボンの量が少ないため、窒素(N)への置換が抑制され高純度のエピタキシャル層が得られる。このため、SiCのエピタキシャル成長に関する研究報告はほとんどが(0001)シリコン面1に関するものである。

SiCのエピタキシャル成長では、成長速度やエピタキシャル層の純度を制御しやすいCVD法が用いられる。しかし、キャリアガスに水素を使っているため、成長中に成長表面からのカーボン(C)の離脱が起こり、成長速度が抑えられてしまう。そのため、通常の成長速度は5~10 $\mu\text{m}/\text{h}$ となる。

SiCで上記の従来のバイポーラ半導体素子を作製するときは、例えば(0001)シリコン面1からのオフ角 θ が8度である面1aをもつように形成したn型の4H-SiCを基板に用いる。4H型の「4」は原子積層が4層周期となる結晶構造を表し、「H」は六方晶を表す。この基板の上に化学気相堆積法(CVD法)を用いて、電圧印加時における電界を緩和するためのSiCのドリフト層を、5~10 $\mu\text{m}/\text{h}$ の成長速度でエピタキシャル成長させて形成する。

【非特許文献1】松波弘之編著、「半導体SiC技術と応用」、218-221頁、日刊工業新聞社刊

【非特許文献2】A. K. Agarwal et. al、Materials Science Forum Volume 389-393、2000年、1349-1352頁

【発明の開示】

【発明が解決しようとする課題】

【0004】

このようにして得られた従来のバイポーラ半導体素子には、マテリアルズサイエンスフォーラム ボリューム389-393 (2002) 第1259-1264頁 [Materials Science Forum Vols. 389-393 (2000) pp. 1259-1264] で報告されているように、新品のバイポーラ半導体素子に通電を開始してから通電時間 (使用時間) が増えるに従い経時変化により順方向電圧が増大する現象がある。

この現象を「順方向電圧劣化」と呼ぶ。新品のバイポーラ半導体素子に順方向に、電流密度 100 A/cm^2 で1時間通電したとき、通電開始直後と1時間通電後の電流密度 100 A/cm^2 での「順方向電圧差 ΔV_f 」で順方向電圧劣化の度合いを表す。

順方向電圧劣化現象は、基板からドリフト層に伝搬したベースルプレーン転位と呼ばれる線状の欠陥が原因で起こる。このベースルプレーン転位を起点として積層欠陥と呼ばれる面状の欠陥がドリフト層中に発生し、ドリフト層が高抵抗層になり、その結果電流が流れにくくなる。

【0005】

従来のpinダイオードの場合、使用開始の初期には順方向電流密度 100 A/cm^2 での順方向電圧が3.5Vだったのが、電流密度 100 A/cm^2 で1時間通電した後では20Vに増大し、順方向電圧差 ΔV_f は16.5V程度になる。その結果素子内部での電力損失が著しく増大し、素子内部での発熱により素子が破壊されてしまう場合が生じる。SiCバイポーラ素子はSi素子に比べて大変優れた初期特性を有しているにもかかわらず、この順方向電圧劣化のため信頼性が著しく低い。そのため、長時間運転可能で電力損失が少なくかつ信頼性の高いインバーター等の電力変換装置を実現することが困難であった。

本発明は、順方向電圧劣化を表す順方向電圧差 ΔV_f が1.0V以下の信頼性の高い半導体装置を提供することを目的としている。

【課題を解決するための手段】

【0006】

本発明のバイポーラ半導体素子は、炭素 (カーボン) と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の (000-1) カーボン面に対して所定のオフ角を有する面を形成した基板、前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1又は第2の導電型の炭化珪素の半導体により、所定の形成速度で形成した少なくとも1つのドリフト層を有する。

本発明の他の観点のバイポーラ半導体素子は、炭素 (カーボン) と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の (000-1) カーボン面に対して所定のオフ角を有する面を形成した基板、前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成したドリフト層、及び前記ドリフト層の上に形成した、第1又は第2の導電型の炭化珪素の半導体層の少なくとも1つの層を有する。

【0007】

本発明の他の観点のバイポーラ半導体素子は、炭素 (カーボン) と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の (000-1) カーボン面に対して所定のオフ角を有する面を形成した、カソードとなる基板、前記基板の前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により所定の成膜速度で形成したドリフト層、及び前記ドリフト層の上に形成した、アノードとなる第2の導電型の炭化珪素の半導体層を有する。

【0008】

本発明の他の観点のバイポーラ半導体素子は、炭素 (カーボン) と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の (000-1) カーボン面

に対して所定のオフ角を有する面を形成した、コレクタとなる基板、前記所定のオフ角を有する面を結晶の成長面として、前記成長面に第1の導電型の炭化珪素のエピタキシャル成長法により所定の成膜速度で形成したドリフト層、前記ドリフト層の上に形成した第2の導電型のベース層、及び前記ベース層の一部分に形成した第1の導電型のエミッタ層を有する。

【0009】

本発明の他の観点のバイポーラ半導体素子は、炭素（カーボン）と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶の（000-1）カーボン面に対して所定のオフ角を有する面を形成した、コレクタとなる基板、前記所定のオフ角を有する面を結晶の成長面として、前記成長面に炭化珪素のエピタキシャル成長法により、所定の成膜速度で形成した第2の導電型のドリフト層、前記ドリフト層の上に形成した第1の導電型の成長層、前記第1の導電型の成長層の上に形成した第2の導電型のエミッタ層、前記第2の導電型のエミッタ層に形成した貫通孔を経て、前記第1の導電型の成長層にイオン注入をして形成した、コンタクト領域、及び前記第1の導電型の成長層と前記第2の導電型のエミッタ層に絶縁膜を介して形成したゲート電極を有する。

【0010】

本発明のバイポーラ半導体素子の製造方法は、炭素（カーボン）と珪素の化合物である炭化珪素を基材とする第1の導電型の炭化珪素半導体の結晶を、前記結晶の（000-1）カーボン面に対して所定の角度を有する面で切断して基板を形成する工程、前記基板の前記所定の角度を有する面を結晶の成長面として、前記成長面に、第1の導電型の炭化珪素のエピタキシャル成長法により所定の成膜速度でドリフト層を形成する工程、及び前記ドリフト層の上に、第1又は第2の導電型の炭化珪素の半導体層の少なくとも1つの層を形成する工程を有する。

【0011】

前記オフ角は、2度以上10度以下であり、前記ドリフト層となる炭化珪素のエピタキシャル成長による成膜速度は、膜厚の時間h当たりの増加速度が $10\mu\text{m/h}$ 以上である。

本発明によれば、成長表面の過飽和度を下げ、ベーサルプレーン転位が基板からエピタキシャル膜へ伝搬するのを抑制することができ、結果として順方向電圧劣化を防ぐことができる。

【発明の効果】

【0012】

本発明によれば、順方向電圧劣化を表す順方向電圧差 ΔV_f を1.0V以下に抑えることができ、信頼性の高いバイポーラ素子を作成することができる。このような信頼性の高いバイポーラ素子を用いれば、損失が少なく長時間運転可能な信頼性の高いインバーター等の電力変換装置を実現することができる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の最良の実施の形態について詳細に説明する。結晶の格子方向及び格子面についての説明において、格子方位及び格子面を当技術分野ではよく知られている以下の記号で表示する。すなわち、個別面は（）、集合面は||で表示し、その中にそれぞれの数字を入れて各面を表示する。また、負の指数については、結晶学上“-”（バー）を数字の上につけることになっているが、特許庁の使用しているソフトウェアでは数字の上にバーをつけることが不可能であるため、本明細書では、数字の前に負号を付けて表示することにする。

順方向劣化現象を抑えるには、前記のように基板からドリフト層へのベーサルプレーン転位の伝搬を抑制する必要がある。

SiCでドリフト層を形成する方法として、例えばマテリアルズサイエンスアンドエンジニアリングR20（1997）第125-166頁[Materials Science and Engineering, R20（1997）125-166]

で報告されているように、通常エピタキシャル成長法が用いられている。エピタキシャル成長法の成長モードには大きく分けて、ステップフロー成長と二次元核生成成長の二つのモードがある。

ステップフロー成長は結晶の成長軸に垂直な $\{0001\}$ 面に平行な方向の成長であり、 $\{0001\}$ 面に平行な結晶の情報を引き継ぎやすい。二次元核生成成長は $\{0001\}$ 面に垂直な方向の成長であり、 $\{0001\}$ 面と垂直な向きの結晶の情報を引き継ぎやすいが、結晶の成長では欠陥の発生源ともなる。

このため、通常のエピタキシャル成長では、良質なエピタキシャル膜を得るために、ある程度ステップフロー成長が進むように成長条件が設定される。

ベーサルプレーン転位は $\{0001\}$ 面に平行に存在する転位であり、転位はステップフロー成長と同じ向きで伝搬する。したがって、ベーサルプレーン転位の伝搬を抑えるためには、二次元核生成が起きない程度にステップフロー成長を抑制する必要がある。

成長がステップフローとなるか二次元核生成となるかは、表面における過飽和度が大きく関係している。過飽和度がある値（臨界過飽和度）を超えると二次元核生成となり、その値以下なら、ステップフロー成長となる。従って、臨界過飽和度が大きいと二次元核生成が起りにくい。

【0014】

臨界過飽和度を大きくするためには、原料ガスの供給量を増やすなどして成長速度を上げたり、結晶のオフ角を小さくして結晶面にあるステップ（階段）のテラス（平面部）の幅を広くする方法がとられる。

図6に示すSiCの結晶において、 $(000-1)$ カーボン面2は (0001) シリコン面1より表面エネルギーが1桁小さく、臨界過飽和度の値が1桁から2桁小さくなる。その結果、過飽和度が相対的にかなり小さくなる。

$(000-1)$ カーボン面2では、単一のSi-C層を1分子層とする、1分子層の高さのステップ（図示省略）が比較的多いが、 (0001) シリコン面1では、2あるいは4分子層の高さのステップが観測される。これは、 $(000-1)$ カーボン面2のテラスの幅が、 (0001) シリコン面1のテラス幅の半分程度に狭くなることを示しており、このことから $(000-1)$ カーボン面2の臨界過飽和度は (0001) シリコン面1の臨界過飽和度より小さくなる。

しかし、 $(000-1)$ カーボン面2の臨界過飽和度は、成長速度に大きく依存し、その依存度は、ステップのテラス幅に対する依存度よりも大きい。従って成長速度を速くする事により、相対的に $(000-1)$ カーボン面2の臨界過飽和度を大きくできる。これにより二次元核生成成長を抑制しかつベーサルプレーン転位の伝搬も抑制できるステップフロー成長を達成できる。

本発明の実施の形態では、SiCバイポーラ半導体素子を構成するn型層及びp型層などの半導体層を、SiC結晶の $(000-1)$ カーボン面2に対して所定のオフ角 θ を有する面2aに形成する。オフ角 θ は2度から10度の範囲で、半導体素子の種類に応じて最適な角度を決める。発明者等の実験によると、例えばpinダイオードではオフ角 θ を約8度にすると良い結果が得られた。またIGBTではオフ角 θ を3.5度にすると良い結果が得られた。また前記半導体層の成長速度を通常より速くする。成長速度は、薄膜の1時間h当たりの増加量が $10\mu\text{m/h}$ 以上になるようにするのが望ましい。成膜条件によつては $3\mu\text{m/h}$ 以上の成膜速度でも本発明の効果を得ることができる。成長速度を増加させるためには成膜処理中の材料ガスの供給量を大幅に増やす。

以下、本発明の好適な実施例を図1から図6を参照して説明する。

〈第1実施例〉

【0015】

図1は本発明のバイポーラ半導体素子の第1実施例であるpn(pin)接合ダイオードの断面図である。本実施例では、面方位が $(000-1)$ カーボン面から8度のオフ角をもつn型（第1の導電型）の4H型SiCを用いた基板21の面（以下C面と呼ぶ）上に、以下に説明する半導体層を形成する。4H型の“H”は六方晶、“4”は原子積層が

4層周期となる結晶構造を意味する。基板21のC面は、図6のSiC結晶の(000-1)カーボン面2から角度 θ (8度)のオフ角をもつ面2aである。各層の成膜速度は、膜厚の時間(h)当たりの増加速度が従来よりは高速である、 $15\mu\text{m/h}$ であり、次に詳しく説明するように、n型4H-SiC、p型(第2の導電型)4H-SiCを順次エピタキシャル成長させ、エピタキシャルpin接合ダイオード70を作製する。p型層とi層(絶縁層)の主たる接合面、およびi層とn型層の主たる接合面(図1で水平方向に広がる面)は、 $\{0001\}$ 面となっている。

前記本実施例のエピタキシャルpin接合ダイオード70と比較をするための、比較用pin接合ダイオードとして以下のものを作製した。すなわち図7に示す(0001)シリコン面1から8度のオフ角 θ をもつn型の4H型SiCを用いた基板の面1a(以下、Si面という)上に、膜厚の時間(h)当たりの増加速度が $5\mu\text{m/h}$ の成長速度でn型4H-SiC及びp型4H-SiCを順次エピタキシャル成長させて比較用のpin接合ダイオードを製作する。 $5\mu\text{m/h}$ の成膜速度はpinダイオードの製作工程では一般的な速度である。本実施例のpin接合ダイオードと比較用のpin接合ダイオードの接合部のサイズ及び形状は同じである。

【0016】

n型の基板21は、改良レーリー法によって成長したインゴットをオフ角 θ を8度にしてスライスし、鏡面研磨することによって作製した。ホール効果測定法によって求めた基板21のキャリア密度は $8 \times 10^{18} \text{ cm}^{-3}$ 、厚さは $400\mu\text{m}$ である。カソードとなる基板21の上に、CVD法によって窒素ドーピングn型SiC層(n型成長層)とアルミニウムドーピングp型SiC層(p型成長層)を順次エピタキシャル成長で形成する。n型成長層により、図1に示すn型のバッファ層22とn型のドリフト層23を形成する。バッファ層22はドナー密度 $7 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $10\mu\text{m}$ である。バッファ層22は必ずしも必要ではなくこれを形成しない場合もある。ドリフト層23はドナー密度約 $5 \times 10^{15} \text{ cm}^{-3}$ 、膜厚は $40\mu\text{m}$ である。また、p型成長層により、アノードとなるp型接合層24とp+型コンタクト層25を形成する。p型接合層24はアクセプタ密度 $5 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $1.5\mu\text{m}$ である。p+型コンタクト層25はアクセプタ密度約 $1 \times 10^{18} \text{ cm}^{-3}$ 、膜厚は $0.5\mu\text{m}$ である。基板21のC面上にバッファ層22、ドリフト層23、p型接合層24及びp+型コンタクト層25を順次以下の処理条件で形成した。

【0017】

本実施例のpinダイオード70を作製するときの処理条件を以下に詳しく説明する。材料ガスとして、シラン(SiH_4)及びプロパン(C_3H_8)を用いる。ドーパントガスとして窒素(N_2)及びトリメチルアルミニウム($\text{Al}(\text{CH}_3)_3$)を用いる。またキャリアガスとして水素(H_2)を用いる。各ガスの流量は、sccm(standard cc per minute)又は、slm(standard liter minute)で表す。圧力は、kPa(kilopascal)で表す。以下の説明において、各ガスの名称の後に付したかっこ内の数値は流量を表す。基板21の温度は 1550°C に保たれており、処理チャンバー内の圧力は 5.6kPa に保たれている。

基板21のC面にバッファ層22を形成する工程では、シラン(30sccm)、プロパン(12sccm)、窒素(30sccm)及び水素(10slm)を供給する。処理時間は40分である。

ドリフト層23の形成工程では、シラン(30sccm)、プロパン(12sccm)、窒素(0.2sccm)及び水素(10slm)を供給する。処理時間は160分である。

p型接合層24の形成工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(15sccm)及び水素(10slm)を供給する。処理時間は6分である。

p+型コンタクト層25の形成工程では、シラン(30sccm)、プロパン(12sccm)、トリメチルアルミニウム(30sccm)及び水素(10slm)を供給する

。処理時間は2分である。

上記の処理により、本実施例のp i n接合ダイオード用のS i Cエピタキシャルウェーハができる。

次に比較用のp i nダイオードを作製するときの処理条件を説明する。基板のS i面に形成する各層の構成は図1に示す本実施例の構成と実質的に同じであるので、同じ符号を用いて説明する。基板の温度は1550℃に保たれており、処理チャンバー内の圧力は5・6 k P aに保たれている。

基板のS i面にバッファ層22を形成する工程では、シラン(10 s c c m)、プロパン(3 s c c m)、窒素(10 s c c m)及び水素(10 s l m)を供給する。処理時間は120分である。

ドリフト層23を形成する工程では、シラン(10 s c c m)、プロパン(3 s c c m)、窒素(0・07 s c c m)及び水素(10 s l m)を供給する。処理時間は480分である。

P型接合層24の形成工程では、シラン(10 s c c m)、プロパン(3 s c c m)、トリメチルアルミニウム(5 s c c m)及び水素(10 s l m)を供給する。処理時間は18分である。

p+型コンタクト層25の形成工程では、シラン(10 s c c m)、プロパン(3 s c c m)、トリメチルアルミニウム(10 s c c m)及び水素(10 s l m)を供給する。処理時間は6分である。

上記の処理により、比較用のp i n接合ダイオード用のS i Cエピタキシャルウェーハができる。

本実施例のp i n接合ダイオード用のS i Cエピタキシャルウェーハと、比較用のp i n接合ダイオード用のS i Cエピタキシャルウェーハのそれぞれの処理条件を比較すると、本実施のもの処理条件では、材料ガス及びドーパントガスの流量が、従来のものの処理条件におけるそれぞれの流量の3倍以上である。また、処理時間についても本実施例のものの各層の処理時間は、比較用のものの処理時間の3分の1以下である。以上のように、本実施例では処理時間を短くし、成膜速度を高くしている点に特徴がある。

本実施例のS i Cエピタキシャルウェーハと、比較用のS i Cエピタキシャルウェーハのそれぞれに以下に説明する加工を施すことにより図に示す本実施例のp i n接合ダイオード70及び同様の構成を有する比較用p i n接合ダイオードが出来上がる。

【0018】

まず反応性イオンエッチング(R I E)によりS i Cエピタキシャルウェーハの両端部を除去してメサ構造に加工する。R I EのエッチングガスにはC F₄(4弗化炭素)とO₂を用い、プラズマ処理装置により、圧力5 P a、高周波電力260 Wの条件で深さ約2・5 μ mまでエッチングした。このときのマスク材料として、C V Dによって堆積したS i O₂膜(厚さ10 μ m)を用いた。

次に、エッチングにより形成したメサ底部での電界集中を緩和するために、メサ底部に幅250 μ m、深さ0・7 μ mのp型J T E(ジャンクションターミネーションエクステンション)26を設けた。J T E26はA lイオン注入により形成した。A lイオン注入のエネルギーは30~450 k e Vの間で6段階に変え、トータルドーズ量は1・2×10¹³ c m⁻²である。J T E26形成時には、J T E26の注入層がボックスプロファイルとなるよう設計した。イオン注入は全て室温で行い、イオン注入のマスクには、グラファイト(厚さ5 μ m)を用いた。注入イオンの活性化のための熱処理をアルゴンガス雰囲気中で1700℃、3分の条件で行った。アニールの後、温度1200℃、3時間のウェット酸化により保護膜としての熱酸化膜27を形成した。

【0019】

次に、基板21の下面にN i(厚さ350 n m)を形成しカソード電極28とする。P+型コンタクト層25上に、T i(チタン:厚さ350 n m)とA l(アルミニウム:厚さ100 n m)の膜をそれぞれを蒸着し、アノード電極29とする。アノード電極29は、T i層29 aとA l層29 bから構成されている。最後に1000℃で20分間の熱処

理を行って、カソード電極 28 及びアノード電極 29 をそれぞれオーミック電極にする。p n 接合のサイズは直径が 2.6 mm ϕ でありほぼ円形である。なお、この実施例ではアルミニウムイオン注入によって p 型 JTE 26 を形成したが、ボロン (B) のイオン注入を用いた場合でも同様の効果がある。また、p i n 接合ダイオード 70 においては、バッファ層 22、ドリフト層 23、p 型接合層 24 及び p+コンタクト層 25 のそれぞれの接合面 (図中水平方向に広がる面) は、すべて (000-1) カーボン面 2 から 8 度のオフ角をもつ面 2a (図 6) に平行になっている。

【0020】

本実施例の p i n 接合ダイオード 70 の耐電圧は 3500 V であり、オン電圧は 3.6 V である。上記の p i n 接合ダイオード 70 に順方向に電流密度 100 A/cm² で 1 時間通電し、通電開始直後と 1 時間通電後の室温での電流電圧特性をカーブトレーサで測定した。

図 2 は、本実施例の、面方位が (000-1) カーボン面 2 から 8 度のオフ角 θ をもつ n 型の 4H 型 SiC 基板 (C 面) 21 の面 2a 上に形成した p i n 接合ダイオード 70 の室温での順方向の電流電圧特性を示すグラフである。

順方向電流密度 100 A/cm² での通電開始直後と 1 時間通電後の順方向電圧差 ΔV_f は、0.1 V 以下でほとんど差がなかったので、図 2 のグラフでは電流電圧特性が 1 つの曲線で表されている。この結果からわかるように、本実施例の p i n 接合ダイオード 70 は 1 時間の通電後もほとんど劣化していなかった。

【0021】

図 3 は、本実施例の p i n 接合ダイオード 70 と比較するために作製した、同じサイズの比較用 p i n 接合ダイオードを、本実施例のものと同一条件で測定した電流電圧特性を示すグラフである。図 3 において、実線の曲線は、比較用 p i n 接合ダイオードの使用開始直後 (劣化前) の電流電圧特性を示す。点線の曲線は、1 時間使用後 (劣化後) の電流電圧特性を示す。図 3 からわかるように、順方向電流密度 100 A/cm² (電流値は 5.5 A) での順方向電圧差 ΔV_f は 16.0 V であった。前記通電試験を行ったダイオードを、当技術分野では欠陥を調べる手段として既知のフォトルミネッセンス発光を調べたところ、Si 面を用いた比較用の p i n 接合ダイオードには積層欠陥を示す 422 nm 発光が多数見られた。それに対し、本実施例の C 面を用いた p i n 接合ダイオード 70 では、積層欠陥の発光は見られなかった。

以上のように、本実施例の SiC の p i n 接合ダイオードでは順方向電圧劣化がほとんど生じないので、長時間の使用が可能となり寿命が長くなる。順方向の電圧劣化によるオン抵抗の増加がないので、内部損失も増加することがなく、安定した特性を長時間維持できる信頼性が高い p i n 接合ダイオードが得られる。

《第 2 実施例》

【0022】

図 4 は本発明のバイポーラ半導体素子の第 2 実施例である、npn バイポーラトランジスタ 50 の断面図である。本実施例でも、図 6 に示すように、面方位が (000-1) カーボン面 2 から 8 度のオフ角 θ の面 2a (以下、C 面という) をもつ n 型の 4H 型 SiC の基板を用いる。この基板の上に時間 h 当たりの膜厚の増加速度を 15 $\mu\text{m}/\text{h}$ として、n 型 4H-SiC、p 型 4H-SiC、n 型 4H-SiC の順番で連続的にエピタキシャル成長させ、npn バイポーラトランジスタ 50 を作製した。

また比較用の npn バイポーラトランジスタの基板として、図 7 に示す (0001) シリコン面 1 から 8 度のオフ角 θ の面 1a (以下、Si 面という) をもつ n 型の 4H 型 SiC を用いた基板の上に、各層を時間 h 当たりの膜厚の増加速度を 5 $\mu\text{m}/\text{h}$ として同様に成膜した。p 層と n 層の主たる接合面 (図中水平方向に広がる面) は、{0001} 面となっている。

【0023】

基板 51 は、改良レーリー法によって成長したインゴットをオフ角 θ が 8 度となるようにスライスし、鏡面研磨することによって作製した。コレクタとなる基板 51 は n 型で、

ホール効果測定法によって測定したキャリア密度は $8 \times 10^{18} \text{ cm}^{-3}$ 、厚さは $400 \mu\text{m}$ である。このC面の上に、CVD法によって窒素ドーピングn型SiC層のバッファ層52とドリフト層53を成膜する。ドリフト層53の上にアルミドーピングp型SiCのp型成長層54、及び窒素ドーピングn型SiC層のn型成長層55を順番にエピタキシャル成長法で成膜した。バッファ層52とドリフト層53がn型コレクタ層になる。バッファ層52はドナー密度 $7 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $10 \mu\text{m}$ である。ドリフト層53はドナー密度約 $5 \times 10^{15} \text{ cm}^{-3}$ 、膜厚は $15 \mu\text{m}$ である。また、p型ベース層となるp型成長層54はアクセプタ密度 $2 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $1 \mu\text{m}$ である。n型成長層55はドナー密度約 $7 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $0.75 \mu\text{m}$ である。バッファ層52、ドリフト層53、p型成長層54、n型成長層55の成膜条件は下記の通りである。

【0024】

本実施例のnpnバイポーラトランジスタ50を作製するときの処理条件を以下に詳しく説明する。材料ガスとして、シラン (SiH_4) 及びプロパン (C_3H_8) を用いる。ドーパントガスとして窒素 (N_2) 及びトリメチルアルミニウム $\{\text{Al}(\text{CH}_3)_3\}$ を用いる。またキャリアガスとして水素 (H_2) を用いる。各ガスの流量は、sccm (standard cc per minute) 又は、slm (standard liter minute) で表す。圧力は、kPa (kilo pascal) で表す。以下の説明において、各ガスの名称の後に付したカッコ内の数値は流量を表す。基板51の温度は 1550°C に保たれており、処理チャンバー内の圧力は 5.6 kPa に保たれている。

【0025】

基板51のC面にバッファ層52を形成する工程では、シラン (30 sccm)、プロパン (12 sccm)、窒素 (30 sccm) 及び水素 (10 slm) を供給する。処理時間は40分である。

ドリフト層53の形成工程では、シラン (30 sccm)、プロパン (12 sccm)、窒素 (0.2 sccm) 及び水素 (10 slm) を供給する。処理時間は60分である。

P型接合層54の形成工程では、シラン (30 sccm)、プロパン (12 sccm)、トリメチルアルミニウム (6 sccm) 及び水素 (10 slm) を供給する。処理時間は4分である。

【0026】

n型成長層55の形成工程では、シラン (30 sccm)、プロパン (12 sccm)、窒素 (30 sccm) 及び水素 (10 slm) を供給する。処理時間は3分である。

上記の処理により、本実施例のpin接合ダイオード用のSiCエピタキシャルウェーハができる。

【0027】

次に比較用のnpnバイポーラトランジスタを作製するときの処理条件を説明する。基板のSi面に形成する各層の構成は図4に示す本実施例の構成と実質的に同じであるので、同じ符号を用いて説明する。基板の温度は 1550°C に保たれており、処理チャンバー内の圧力は 5.6 kPa に保たれている。

基板のSi面にバッファ層52を形成する工程では、シラン (10 sccm)、プロパン (3 sccm)、窒素 (10 sccm) 及び水素 (10 slm) を供給する。処理時間は120分である。

【0028】

ドリフト層53を形成する工程では、シラン (10 sccm)、プロパン (3 sccm)、窒素 (0.07 sccm) 及び水素 (10 slm) を供給する。処理時間は180分である。

P型成長層54の形成工程では、シラン (10 sccm)、プロパン (3 sccm)、トリメチルアルミニウム (2 sccm) 及び水素 (10 slm) を供給する。処理時間は12分である。

n型成長層55の形成工程では、シラン (10 sccm)、プロパン (3 sccm)、

窒素 (10 sccm) 及び水素 (10 slm) を供給する。処理時間は9分である。

上記の処理により、比較用の SiC エピタキシャルウエーハができる。本実施例の SiC エピタキシャルウエーハと、比較用の SiC エピタキシャルウエーハのそれぞれに以下に説明する加工を施すことにより図5に示す本実施例の npn バイポーラトランジスタ 50 及び同様の構成を有する比較用 npn バイポーラトランジスタが出来上がる。

【0029】

まず、反応性イオンエッチング (RIE) により n 型成長層 55 を幅 10 μm 、深さ 0.75 μm 、ピッチ 23 μm でエッチングし、エミッタとなる n 型成長層 55 を残す。RIE のエッチングガスには CF_4 と O_2 を用い、圧力は 0.05 Torr、高周波電力 260 W の条件でエッチングした。このときのマスク材料として、CVD によって堆積した SiO_2 膜 (厚さ 10 μm) を用いた。

次に、ベース領域において素子分離を行うために、反応性イオンエッチング (RIE) によりメサ構造にする。RIE のエッチングガスには CF_4 と O_2 を用い、圧力は 0.05 Torr、高周波電力 260 W の条件で深さ約 1 μm までエッチングした。このときのマスク材料として、CVD によって堆積した SiO_2 膜 (厚さ 10 μm) を用いた。

【0030】

本実施例では、ベース端部での電界集中を緩和するためのガードリング 56 と、ベースのコンタクト領域 57 を同一プロセスの Al (アルミニウム) イオン注入によって形成した。ベースのコンタクト領域 57 は幅 3 μm でエミッタとの間隔は 5 μm であり、p 型ガードリング 56 の幅は 150 μm である。深さは共に 0.5 μm である。p 型ガードリング 56、あるいはベースのコンタクト領域 57 形成時の Al イオン注入のエネルギーは 40~560 keV であり、トータルドーズ量は $1.0 \times 10^{13} \text{ cm}^{-2}$ である。イオン注入のマスクには、CVD により形成した SiO_2 膜 (厚さ 5 μm) を用いた。イオン注入はすべて室温で行い、注入イオン活性化のための熱処理はアルゴンガス雰囲気中の温度 1600 $^{\circ}\text{C}$ 、時間 5 分の条件で行った。アニールの後、温度 1150 $^{\circ}\text{C}$ で 2 時間のウェット酸化によって熱酸化膜を形成し、さらに CVD によって SiO_2 膜を堆積させ、合計 2 μm の酸化膜 58 を形成した。

【0031】

次に、基板 51 の下面にコレクタ電極 59 を形成する。ベースのコンタクト領域 57 にベース電極 59 を形成する。また、エミッタ領域 55 に Ni を蒸着してエミッタ電極 69 を形成する。次に 1000 $^{\circ}\text{C}$ 、20 分間の熱処理を行ってそれぞれオーミック接合を形成した。最後にベース電極 59 及びエミッタ電極 69 を Ti/Au 電極 70 で覆って各電極端子を形成した。接合部の大きさは 3.2 mm \times 3.2 mm である。なお、この実施例では Al イオン注入によってガードリング 56 を形成したが、B (硼素) イオン注入を用いた場合でも同様の効果がある。また、npn バイポーラトランジスタ 50 においては、基板 51、バッファ層 52、ドリフト層 53、p 型成長層 54 及び n 型成長層 55 のそれぞれの接合面 (図中水平方向に広がる面) は、すべて (000-1) カーボン面 2 から 8 度のオフ角をもつ面 2a に平行になっている。

【0032】

作製した npn バイポーラトランジスタ 50 の耐圧は 1400 V である。オン抵抗は 8.0 $\text{m}\Omega \text{ cm}^2$ であり、最大電流増幅率は約 12 であった。この npn バイポーラトランジスタ 50 にベース電流 0.6 A、コレクタ電流 7 A (コレクタ電流密度 100 A/ cm^2) を 1 時間通電し、通電前後の室温でのコレクタ特性をカーブトレーサで測定した。本実施例の npn バイポーラトランジスタ 50 では、通電開始直後と 1 時間通電後ともオン抵抗は 8.0 $\text{m}\Omega \text{ cm}^2$ であり、順方向電圧の変化はほとんどなかった。比較例の npn バイポーラトランジスタについても同様に、コレクタ電流密度 100 A/ cm^2 で通電して試験した。比較用の npn バイポーラトランジスタの室温でのオン抵抗は、通電開始直後では 8.0 $\text{m}\Omega \text{ cm}^2$ であったのが、1 時間の通電後は 15.0 $\text{m}\Omega \text{ cm}^2$ と非常に大きくなった。また、比較例の npn バイポーラトランジスタの室温での最大電流増幅率は、通電初期は約 12 であったものが、1 時間通電後は約 6 と小さくなってしまった。これ

に対し、本実施例の npn バイポーラトランジスタの最大電流増幅率は通電開始直後と 1 時間通電後とでほとんど変化がなく約 12 であった。以上のように本実施例の npn バイポーラトランジスタ 50 は 1 時間の通電試験後でもほとんど順方向電圧劣化は生じていなかった。

《第 3 実施例》

【0033】

第 3 実施例は、本発明のバイポーラ半導体素子の IGBT (インシュレーテッド・ゲート・バイポーラトランジスタ) に関するものである。図 5 は本実施例の IGBT 60 の断面図である。本実施例では、面方位が図 6 における (000-1) カーボン面 2 から 3.5 度のオフ角 θ の面 2a を有する n 型の 6H 型 SiC を用いた基板 61 (以下 C 面基板と呼ぶ) 上に、膜厚の時間 (h) 当たりの増加速度が $15 \mu\text{m}/\text{h}$ で、p 型 6H-SiC 層、n 型 6H-SiC 層、p 型 6H-SiC 層の順番で 3 つの層をエピタキシャル成長させ、以下に詳しく説明するように IGBT 60 を作製した。p 層と n 層の主たる接合面 (図中水平方向に広がる面) は、{0001} 面となっている。本実施例の IGBT と比較するための比較用 IGBT を以下のように作製する。面方位が図 7 における (0001) シリコン面 1 から 3.5 度のオフ角 θ の面 1a をもつ n 型の 6H 型 SiC を用いた基板 (以下、Si 面基板と呼ぶ) 上に、 $5 \mu\text{m}/\text{h}$ の成膜速度で、p 型 6H-SiC 層、n 型 6H-SiC 層、p 型 6H-SiC 層を順次形成する。

【0034】

基板 61 は、改良レーリー法によって成長したインゴットを (000-1) カーボン面から 3.5 度傾いた面でスライスし、鏡面研磨することによって作製した。カソードとなる基板 61 は n 型で、厚さは $400 \mu\text{m}$ 、ホール効果測定法によって求めたキャリア密度は $5 \times 10^{18} \text{ cm}^{-3}$ である。この上に、CVD 法によって、アルミニウムドープ p 型 SiC 層、窒素ドープ n 型 SiC 層、アルミニウムドープ p 型 SiC 層の三層を連続的にエピタキシャル成長した。p 型 SiC 層は図 5 のバッファ層 62 とドリフト層 63 となる。バッファ層 62 はアクセプタ密度 $1 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $3 \mu\text{m}$ である。ドリフト層 63 はアクセプタ密度約 $5 \times 10^{15} \text{ cm}^{-3}$ 、膜厚は $15 \mu\text{m}$ である。また、ドリフト層 63 の上に形成される n 型成長層 64 はドナー密度 $2 \times 10^{17} \text{ cm}^{-3}$ 、膜厚は $2 \mu\text{m}$ である。n 型成長層 64 の上に形成される p 型成長層 65 はアクセプタ密度約 $1 \times 10^{18} \text{ cm}^{-3}$ 、膜厚は $0.75 \mu\text{m}$ である。バッファ層 62、ドリフト層 63、n 型成長層 64、及び p 型成長層 65 の成膜条件は下記の通りである。

【0035】

本実施例の IGBT を作製するときの処理条件を以下に詳しく説明する。材料ガスとして、シラン (SiH_4) 及びプロパン (C_3H_8) を用いる。ドーパントガスとして窒素 (N_2) 及びトリメチルアルミニウム $\{\text{Al}(\text{CH}_3)_3\}$ を用いる。またキャリアガスとして水素 (H_2) を用いる。各ガスの流量は、sccm (standard cc per minute) 又は、slm (standard liter minute) で表す。圧力は、kPa (kilo pascal) で表す。以下の説明において、各ガスの名称の後に付したカッコ内の数値は流量を表す。基板 61 の温度は 1550°C に保たれており、処理チャンバー内の圧力は 5.6 kPa に保たれている。

【0036】

基板 61 の C 面にバッファ層 62 を形成する工程では、シラン (30 sccm)、プロパン (12 sccm)、トリメチルアルミニウム (3 sccm) 及び水素 (10 slm) を供給する。処理時間は 12 分である。

ドリフト層 63 の形成工程では、シラン (30 sccm)、プロパン (12 sccm)、トリメチルアルミニウム (0.15 sccm) 及び水素 (10 slm) を供給する。処理時間は 60 分である。

n 型成長層 64 の形成工程では、シラン (30 sccm)、プロパン (12 sccm)、窒素 (9 sccm) 及び水素 (10 slm) を供給する。処理時間は 8 分である。

【0037】

p型成長層65の形成工程では、シラン(30 sccm)、プロパン(12 sccm)、トリメチルアルミニウム(30 sccm)及び水素(10 slm)を供給する。処理時間は3分である。

上記の処理により、本実施例のpin接合ダイオード用のSiCエピタキシャルウェーハができる。

【0038】

次に比較用のIGBTを作製するときの処理条件を説明する。基板のSi面に形成する各層の構成は図5に示す本実施例の構成と実質的に同じであるので、同じ符号を用いて説明する。基板の温度は1550℃に保たれており、処理チャンバー内の圧力は5.6 kPaに保たれている。

基板のSi面にバッファ層62を形成する工程では、シラン(10 sccm)、プロパン(3 sccm)、トリメチルアルミニウム(1 sccm)及び水素(10 slm)を供給する。処理時間は36分である。

【0039】

ドリフト層63を形成する工程では、シラン(10 sccm)、プロパン(3 sccm)、トリメチルアルミニウム(0.05 sccm)及び水素(10 slm)を供給する。処理時間は180分である。

n型成長層64の形成工程では、シラン(10 sccm)、プロパン(3 sccm)、窒素(3 sccm)及び水素(10 slm)を供給する。処理時間は24分である。

p型成長層65の形成工程では、シラン(10 sccm)、プロパン(3 sccm)、トリメチルアルミニウム(10 sccm)及び水素(10 slm)を供給する。処理時間は9分である。

上記の処理により、比較用のpin接合ダイオード用のSiCエピタキシャルウェーハができる。本実施例のSiCエピタキシャルウェーハと、比較用のSiCエピタキシャルウェーハのそれぞれに以下に説明する加工を施すことにより図に示す本実施例のIGBT及び同様の構成を有する比較用のIGBTが出来上がる。

【0040】

このようにして作製したSiCエピタキシャルウェーハから図5に示す構造のIGBT60を作製する。

まず、フォトリソグラフ法を用いて、p+成長層65の中央部をRIEでエッチングして孔66aを設け、窒素をイオン注入することにより、コレクタとなるコンタクト領域66を形成する。

【0041】

ゲート領域を形成するために、RIEによりp+成長層65とn+成長層64をエッチングして孔68a(図5では2つ)をあける。次に孔68aの壁面にMOS構造を形成するために、CVDによりSiO₂膜を堆積させ絶縁膜67を形成する。

基板61のコレクタ領域にNiを蒸着しコレクタ端子69とする。またコンタクト領域66にエミッタ電極69を蒸着する。次に熱処理を行ってそれぞれオーミック接合を形成する。さらに、酸化膜67の上にMo電極を形成しゲート電極68とする。

【0042】

完成した本実施例のIGBTと、比較用のIGBTの耐電圧は900Vである。オン抵抗は11 mΩcm²であり、コレクタエミッタ間電圧は-14Vである。両IGBTに-40Vのゲート電圧を印加し、コレクタ電流1.4Aを1時間通電し、通電開始時と1時間通電後の室温でのコレクタ特性をカーブトレーサで測定した。本実施例のIGBTでは、通電直後と1時間通電後のコレクタ-エミッタ間電圧はともに-14Vであり、ほとんど変化がなく、従ってほとんど劣化していないことが判った。Si面基板を用いた比較用IGBTでは、通電直後のコレクタ-エミッタ電圧は-14Vだったのに対し、1時間通電後のコレクタ-エミッタ電圧は-29Vと大きくなった。

【0043】

劣化の状態を調べるために、通電後のIGBTの電極68、69を除去し、SiCのフ

オトルミネッセンス発光を調べた。通電後の Si 面基板を用いた IGBT には、積層欠陥を示す発光が多数見られたが、C 面基板を用いた IGBT では、積層欠陥の発光は見られなかった。

以上、本発明のバイポーラ半導体素子を 3 つの実施例に基づき具体的に説明したが、本発明は上記各実施例に限定されるものではなく、SIAFET、SIJFET、サイリスタ、GTO、MCT (Mos Controlled Thyristor)、SiCGT (SiC Commutated Gate Thyristor)、EST (Emitter Switched Thyristor)、BRT (Base Resistance Controlled Thyristor) などの各種の 4H-SiC バイポーラ半導体素子にも応用可能である。当然ながら、反対極性の素子 (例えば npn トランジスタに対する pnp トランジスタ) などの各種の 4H-SiC バイポーラ素子にも変形応用可能であり、6H-SiC などの多の結晶構造を用いた SiC バイポーラ素子に適用できるものである。

【産業上の利用可能性】

【0044】

本発明の SiC バイポーラトランジスタ半導体素子は、長時間使用しても経時変化が少なく、特に経時変化によるオン抵抗、順方向電圧又は、コレクタエミッタ電圧の増大が極めて小さいので、バイポーラ半導体素子の内部損失が使用中に増大することがなく、バイポーラ半導体素子の信頼性を高くする上で有用である。

【図面の簡単な説明】

【0045】

【図 1】本発明の第 1 実施例の pn (pin) ダイオードの断面図である。

【図 2】本発明の第 1 実施例の pin ダイオードの通電開始時と 1 時間通電後の電流電圧特性を示す図である。

【図 3】本発明の第 1 実施例の pin ダイオードと、比較するために作った Si 面基板を用いた pin ダイオードとの、通電開始直後の劣化前と、1 時間通電した後の劣化後の電流電圧特性を示す図である。

【図 4】本発明の第 2 実施例の npn バイポーラトランジスタの断面図である。

【図 5】本発明の第 3 実施例の IGBT の断面図である。

【図 6】本発明のバイポーラ半導体素子の基板を構成する炭化珪素の結晶を示す斜視図である。

【図 7】従来のバイポーラ半導体素子の基板を構成する炭化珪素の結晶を示す斜視図である。

【符号の説明】

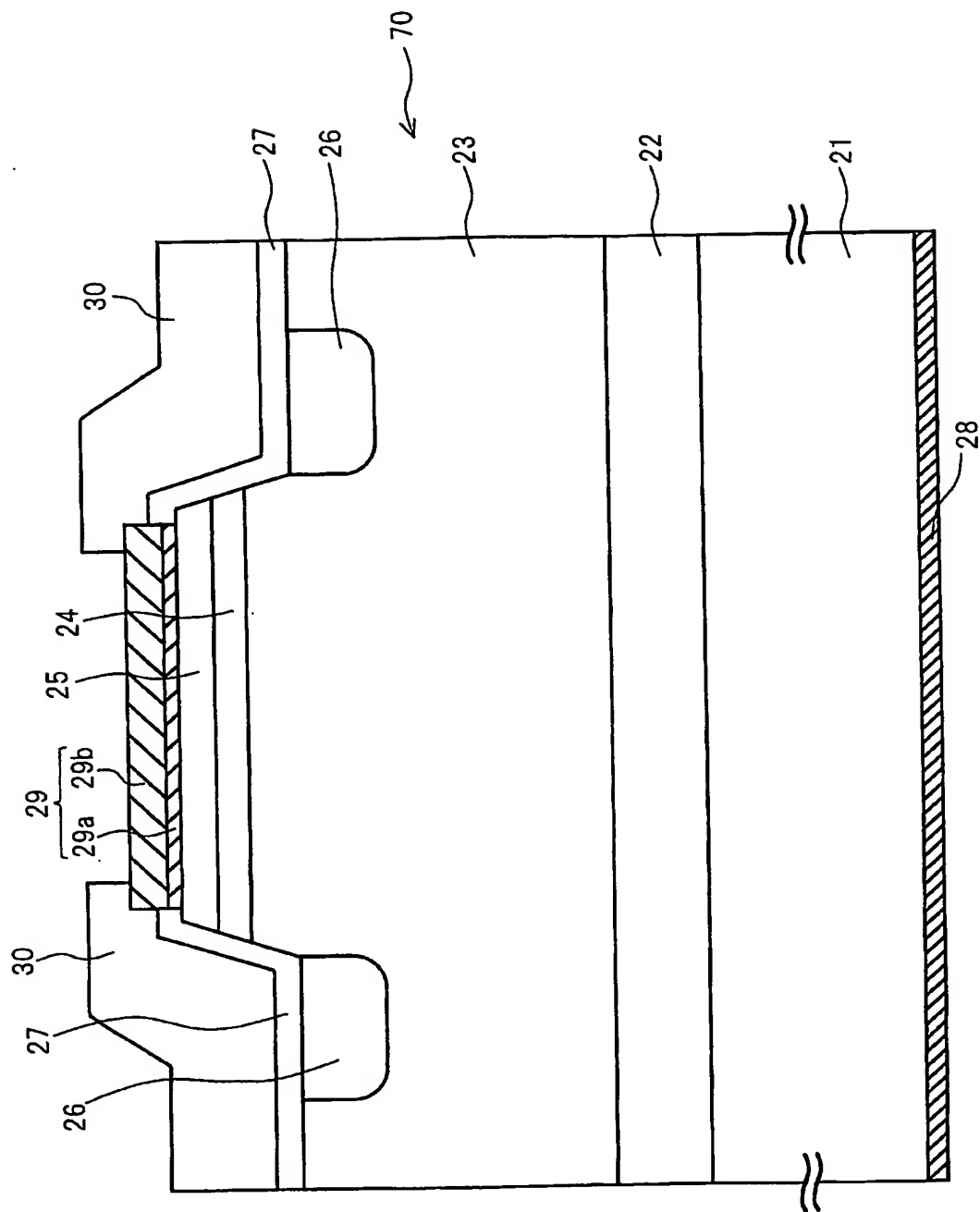
【0046】

- 1 (0001) シリコン面
- 2 (000-1) カーボン面
- 20 pn (pin) ダイオード
- 21 基板
- 22 n 型バッファ層
- 23 n 型ドリフト層
- 24 p 型接合層
- 25 p+型コンタクト層
- 26 p 型 JTE
- 27 酸化膜
- 28 オーミック電極
- 29 オーミック電極
- 29a Ti 層
- 29b Al 層
- 30 酸化膜
- 50 npn バイポーラトランジスタ
- 51 基板

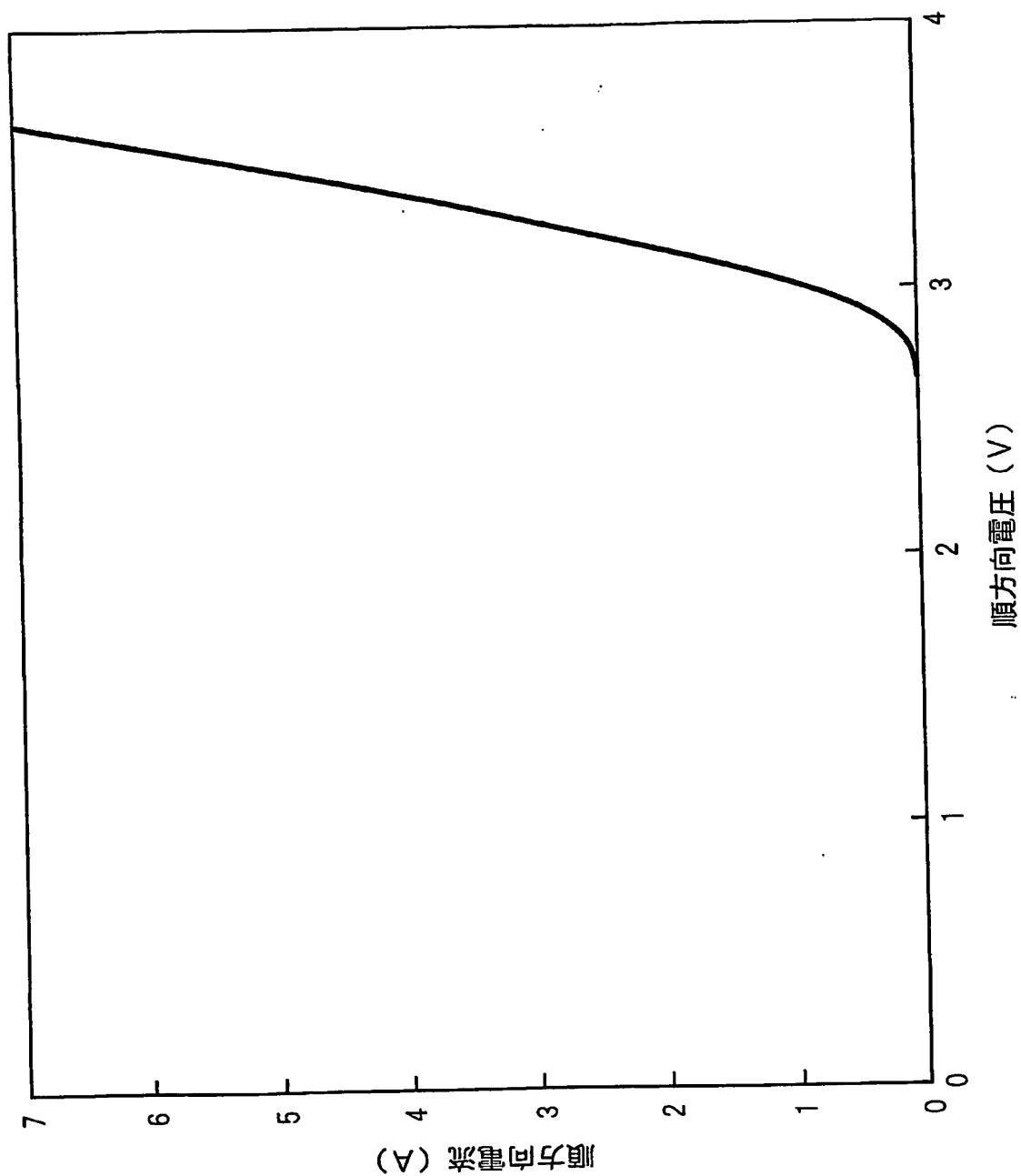
- 52 n型バッファ層
- 53 n型ドリフト層
- 54 p型成長層
- 55 n型成長層
- 56 ガードリング
- 57 ベースのコンタクト領域
- 58 酸化膜
- 59a Ni電極
- 59b Ti/Au電極
- 60 IGBT
- 61 n+基板
- 62 p+バッファ層
- 63 p-ドリフト層
- 64 n+成長層
- 65 p+成長層
- 66 コンタクト領域
- 67 酸化膜
- 68 Mo電極
- 69 Ni電極

【書類名】 図面

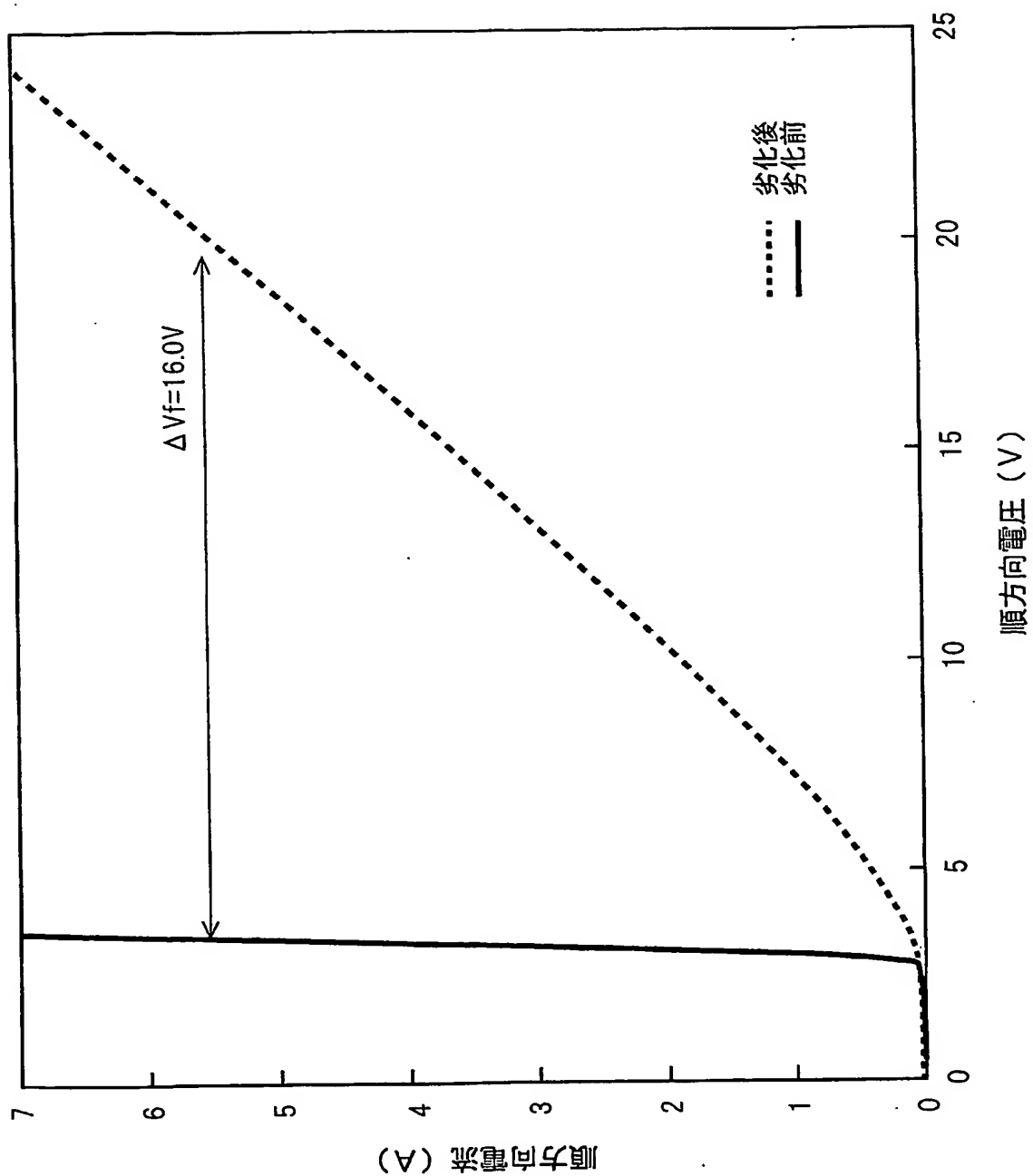
【図 1】



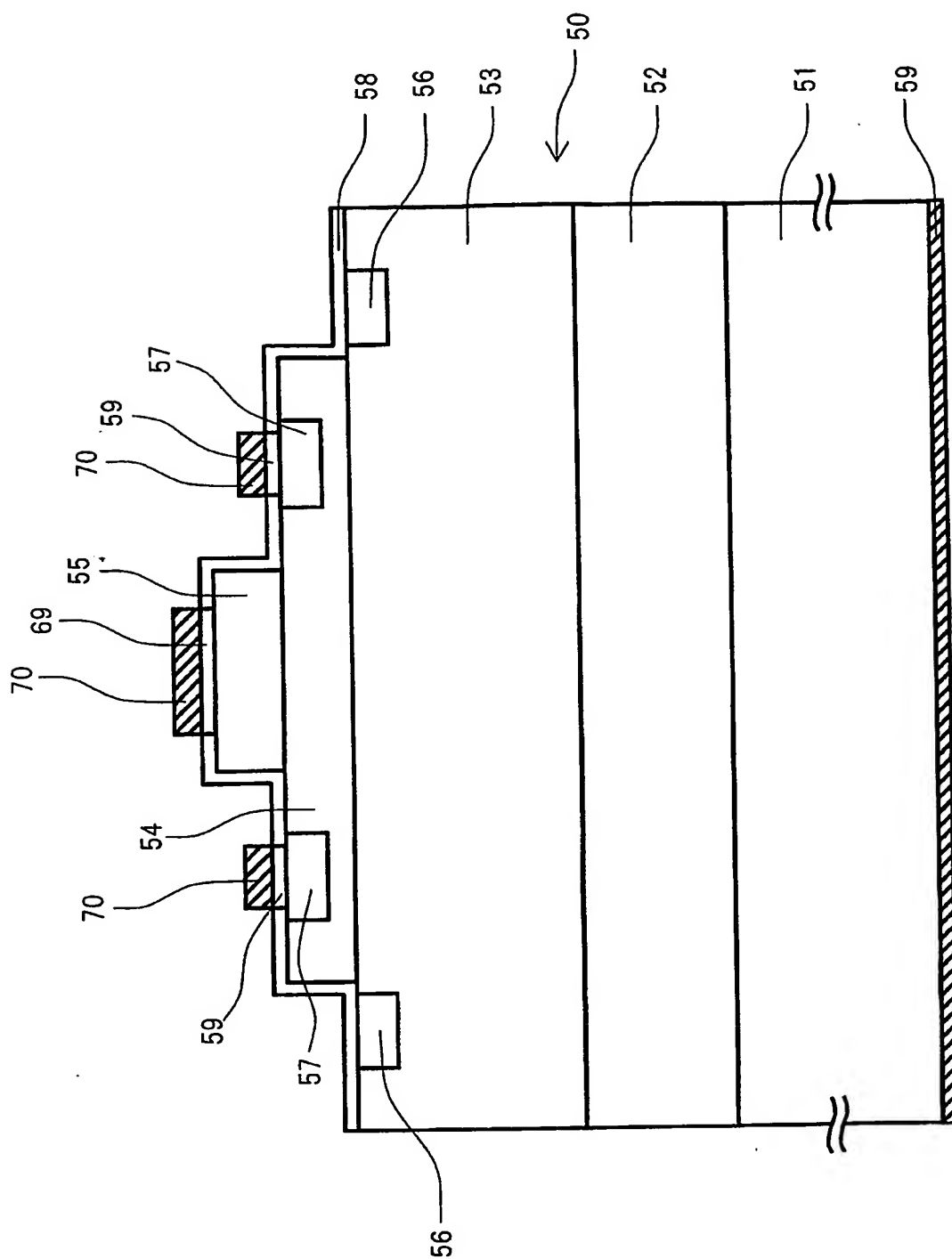
【図 2】



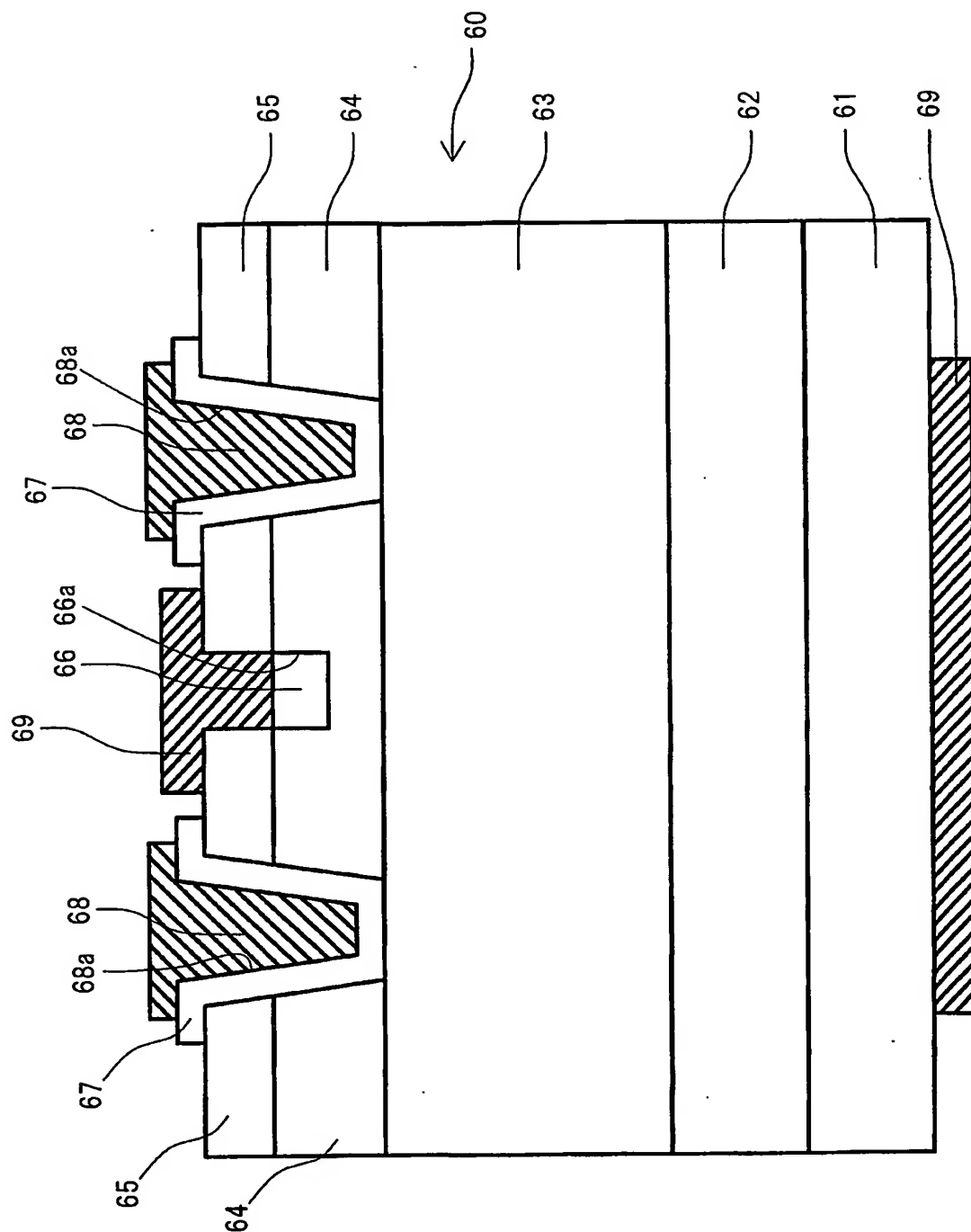
【図 3】



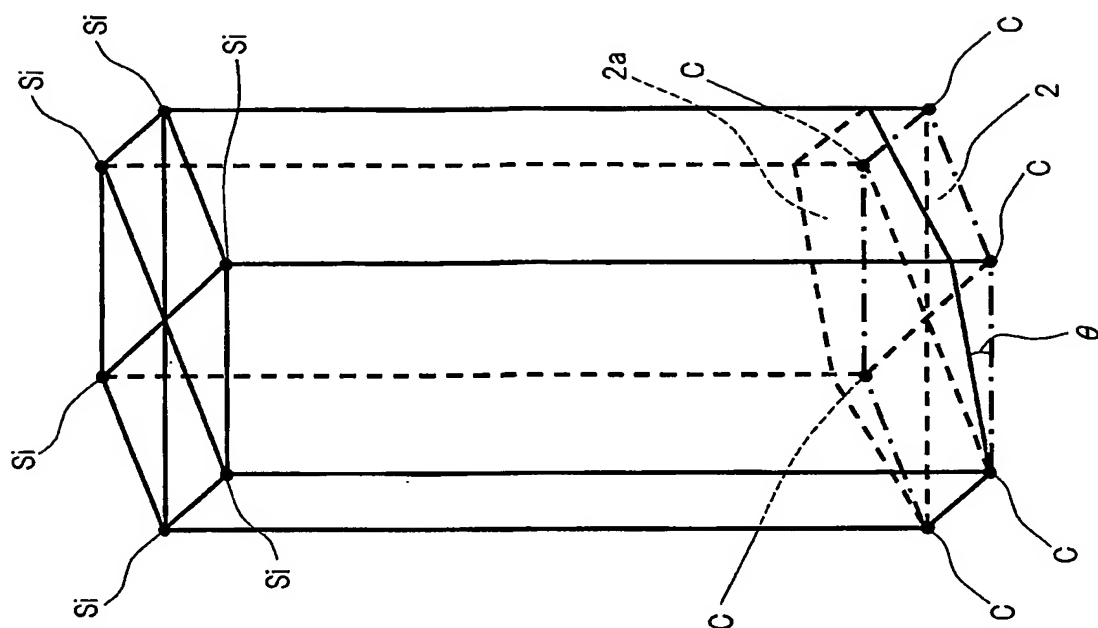
【図 4】



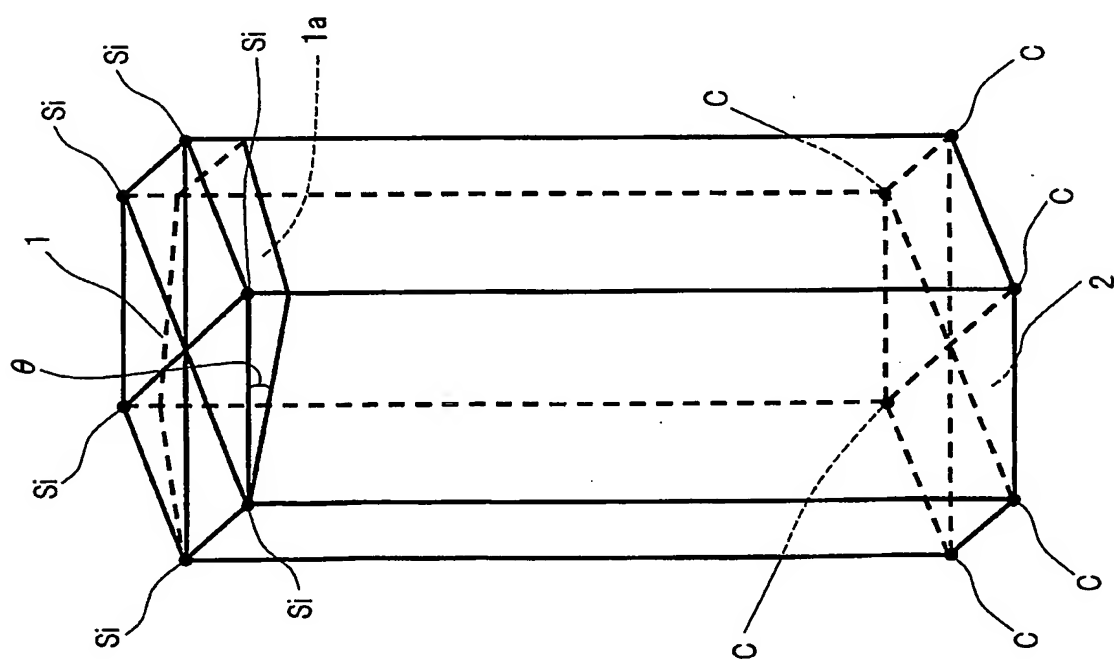
【図 5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 炭化珪素半導体を用いたバイポーラ半導体素子の経時変化による順方向電圧の増大を防止する。

【解決手段】 炭化珪素半導体の結晶の(000-1)カーボン面に対するオフ角 θ が8度の面を結晶の成長面とし、この成長面にバッファ層、ドリフト層及び他のp型及びn型の半導体層を、時間h当たりの膜厚の増加速度が従来の3倍以上である $10\mu\text{m}/\text{h}$ の成膜速度で成膜する。成膜速度を速くするために原料ガスのシラン、プロパン及びドーパントガスの流量を大幅に増やす。

【選択図】 図1

特願 2003-405259

出願人履歴情報

識別番号

[000156938]

1. 変更年月日

1990年 8月10日

[変更理由]

新規登録

住 所

大阪府大阪市北区中之島3丁目3番22号

氏 名

関西電力株式会社

特願 2 0 0 3 - 4 0 5 2 5 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 7 3 8 0 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都千代田区大手町 1 丁目 6 番 1 号

氏 名

財団法人電力中央研究所

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017888

International filing date: 01 December 2004 (01.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-405259
Filing date: 03 December 2003 (03.12.2003)

Date of receipt at the International Bureau: 04 February 2005 (04.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.